

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-097469

(43)Date of publication of application : 08.04.1994

(51)Int.Cl.

H01L 29/91
H01L 29/784

(21)Application number : 04-247547

(71)Applicant : HITACHI LTD

(22)Date of filing : 17.09.1992

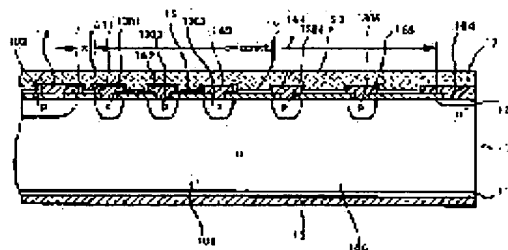
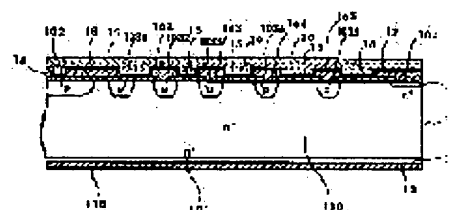
(72)Inventor : KOBAYASHI HIDEO
MORI MUTSUHIRO
YASUDA YASUMICHI
NAKANO YASUKI

(54) SEMICONDUCTOR DEVICE INCLUDING PLANAR JUNCTION

(57)Abstract:

PURPOSE: To provide a semiconductor device including a high-reliability high withstand voltage planar junction where it is prevented with simplified means from being affected by an external factor, such as charged particles.

CONSTITUTION: In a semiconductor device where the surrounding of a chief junction electric field limiting ring regions 1301-1305, there is provided an electrically floating conductive layer 18 through an insulating film 15 so as to completely cover the surface of an n-layer 100 located between the chief junction and the electric field limitation ring region 1301. Hereby, a potential of the conductive layer 18 upon application of voltage to back bias the main junction is fixed to an intermediate potential between the chief junction and the electric field limitation ring region 1301 located nearest the former to serve a roll of shielding. Thus, the present semiconductor device is completely prevented from being affected by an external factor such as movable ions. Therefore, even if the device undergoes a reliability test (high temperature DC back bias test) by being assembled into a resin-sealed package, no variation of withstand voltage is produced to realize a very high reliability high withstand voltage semiconductor device.



LEGAL STATUS

[Date of request for examination]

24.04.1995

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the
examiner's decision of rejection or application
converted registration]

[Date of final disposal for application]

[Patent number]

2812093

[Date of registration]

07.08.1998

[Number of appeal against examiner's decision of
rejection][Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁(JP)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-97469

(43)公開日 平成6年(1994)4月8日

(51)Int.Cl.⁵

H 0 1 L 29/91
29/784

識別記号

庁内整理番号

F I

技術表示箇所

9168-4M
9168-4M

H 0 1 L 29/ 91
29/ 78

D
3 2 1 J
3 2 1 K

審査請求 未請求 請求項の数6(全 9 頁)

(21)出願番号

特願平4-247547

(22)出願日

平成4年(1992)9月17日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 小林 秀男

茨城県日立市久慈町4026番地 株式会社日立製作所日立研究所内

(72)発明者 森 睦宏

茨城県日立市幸町三丁目1番1号 株式会社日立製作所日立工場内

(72)発明者 安田 保道

茨城県日立市久慈町4026番地 株式会社日立製作所日立研究所内

(74)代理人 弁理士 小川 勝男

最終頁に続く

(54)【発明の名称】 プレーナ接合を有する半導体装置

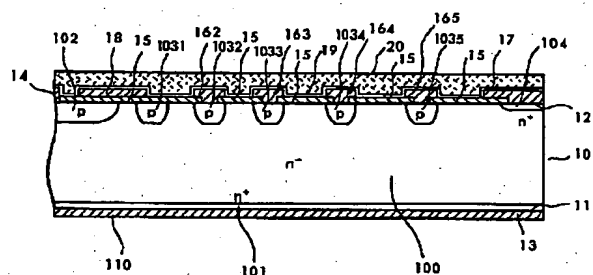
(57)【要約】

【目的】簡単な手段により荷電粒子等の外部因子による影響を抑制した、高信頼の高耐圧プレーナ接合を持つ半導体装置を提供することにある。

【構成】主接合の周囲を複数の電界制限リング領域1301~1305で包囲した構成の半導体装置において、主接合とそれに最も近い電界制限リング領域1301との間のn-層100の表面を完全に覆うように絶縁膜15を介して電気的にフローティングな導電層18を設けたものである。

【効果】本発明によれば、主接合を逆バイアスするような電圧印加時に導電層18の電位は主接合とそれに最も近い電界制限リング領域1301の中間電位に固定されてシールド効果の役割を果たすので、可動イオン等外部因子の影響を全く受けなくなる。従って、素子をレジン封止したパッケージに組込んで信頼性試験(高温直流逆バイアス試験)を実施しても耐圧変動は全く生じなく、極めて信頼性の高い高耐圧の半導体装置が実現できる。

図 1



【特許請求の範囲】

【請求項1】半導体基体の一方の主表面に第1導電型の第1の半導体領域が露出し、一方の主表面から第1の半導体領域内に延び第1の半導体領域との間にpn接合を形成する第2導電型の第2の半導体領域が設けられ、更に一方の主表面から第1の半導体領域内に延び、第2の半導体領域をそれから離れて包囲する第2導電型の環状の第3の半導体領域が複数個設けられてなる半導体装置において、第2の半導体領域とこれに最も近接する第3の半導体領域との間に逆阻止電圧の低下を抑制する手段を設けたことを特徴とする半導体装置。

【請求項2】半導体基体の一方の主表面に第1導電型の第1の半導体領域が露出し、一方の主表面から第1の半導体領域内に延び第1の半導体領域との間にpn接合を形成する第2導電型の第2の半導体領域が設けられ、更に一方の主表面から第1の半導体領域内に延び、第2の半導体領域をそれから離れて包囲する第2導電型の環状の第3の半導体領域が複数個設けられてなる半導体装置において、第2の半導体領域とこれに最も近接する第3の半導体領域との間の間隔を第3の半導体領域相互間の間隔より小さくしたことを特徴とする半導体装置。

【請求項3】半導体基体の一方の主表面に第1導電型の第1の半導体領域が露出し、一方の主表面から第1の半導体領域内に延び第1の半導体領域との間にpn接合を形成する第2導電型の第2の半導体領域が設けられ、一方の主表面から第1の半導体領域内に延び、第2の半導体領域をそれから離れて包囲する第2導電型の環状の第3の半導体領域が複数個設けられ、第2の半導体領域の周縁から最外周の第3の半導体領域に達する一方の主表面上に絶縁膜が設けられてなる半導体装置において、第2の半導体領域とこれに最も近接する第3の半導体領域との間に対応する絶縁膜上に電気的に浮動状態の導電性膜を設けたことを特徴とする半導体装置。

【請求項4】半導体基体の一方の主表面に第1導電型の第1の半導体領域が露出し、一方の主表面から第1の半導体領域内に延び第1の半導体領域との間にpn接合を形成する第2導電型の第2の半導体領域が設けられ、更に一方の主表面から第1の半導体領域内に延び、第2の半導体領域をそれから離れて包囲する第2導電型の環状の第3の半導体領域が複数個設けられてなる半導体装置において、第2の半導体領域とこれに最も近接する第3の半導体領域との間の第1の半導体領域の表面に、第1の半導体領域と同導電型でそれより高不純物濃度を有する第4の半導体領域を設けたことを特徴とする半導体装置。

【請求項5】半導体基体の一方の主表面に第1導電型の第1の半導体領域が露出し、一方の主表面から第1の半導体領域内に延び第1の半導体領域との間にpn接合を形成する第2導電型の第2の半導体領域が設けられ、更に一方の主表面から第1の半導体領域内に延び、第2の

半導体領域をそれから離れて包囲する第2導電型の環状の第3の半導体領域が複数個設けられてなる半導体装置において、第2の半導体領域とこれに最も近接する第3の半導体領域との間の間隔が一方の主表面よりも内部において小さくなるようにしたことを特徴とする半導体装置。

【請求項6】半導体基体の一方の主表面に第1導電型の第1の半導体領域が露出し、一方の主表面から第1の半導体領域内に延び第1の半導体領域との間にpn接合を形成する第2導電型の第2の半導体領域が設けられ、更に一方の主表面から第1の半導体領域内に延び、第2の半導体領域をそれから離れて包囲する第2導電型の環状の第3の半導体領域が複数個設けられてなる半導体装置において、第2の半導体領域とこれに最も近接する第3の半導体領域との間の第1の半導体領域を絶縁膜を介して導電性膜で覆い、この導電性膜を第2の半導体領域に最も近接する第3の半導体領域に電気的に接続したことを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体装置に係り、特に逆阻止特性の高信頼化に好適なプレーナ接合を有する半導体装置に関する。

【0002】

【従来の技術】インバータ装置等の大容量化の要求から、高い逆阻止電圧を有する半導体素子の開発が望まれている。一般に、半導体装置の逆耐圧は殆どがpn接合が終端する領域で決まり、高耐圧の半導体装置を得るには、この領域の電界を偏りなく弱くするターミネーション技術如何にかかっている。従来、高耐圧のターミネーション技術としてはメサ型が一般的に用いられてきた。しかし、メサ型半導体装置は、ベベル形成及びベベル部への樹脂コート等の複雑な工程を要すること、またベベル部に大面積を要することから大量生産に適さない欠点がある。従って、近年比較的小さなチップサイズの半導体装置にはpn接合端部をプレーナ型にした、所謂プレーナ型半導体装置が用いられるようになってきた。プレーナ型半導体装置は、主接合にかかる電界を平面方向に分散させて局所的な電界集中を緩和させるものである。このための方策として、主接合を取り囲むように複数個の電界制限リング領域を設ける方法が、製造が容易で大量生産に適していることから比較的低耐圧のものには広く用いられてきた。電界制限リング領域は、その間隔を電界が偏在しないように設定すれば極めて安定した高耐圧特性のものが得られる可能性がある。

【0003】電界制限リング領域を設ける場合には次の問題がありこれまで安定した高耐圧特性が得られなかった。第1の問題は、シリコン基体とシリコン酸化膜界面での固定電荷等の影響により、界面近傍で電界に偏りが生じ、その度合いが製造要因によってばらつくことであ

る。これは良質なシリコン酸化膜の形成技術や水素処理による界面の安定化等によって、初期特性としては比較的安定して高耐圧が得られるようになってきた。第2の問題は、高温直流逆バイアス試験で代表される信頼性試験において、耐圧が低下してしまう問題である。この原因は半導体素子の外部から侵入或いは付着する荷電粒子の影響によるものと考えられている。一般に高耐圧の半導体素子は放電防止や水分の侵入を防ぐ目的でシリコンゲル等のレジンで封止して用いられるが、レジン封止の場合耐圧低下が著しい。また、この現象はシリコン基板の比抵抗が高いもの、即ち高耐圧の半導体装置になる程顕著に起こり、耐圧低下が大きい。従って、高耐圧のプレーナ型半導体装置を実用化する上で、上記問題を克服することが最大の課題となっている。

【0004】この課題に対して、例えば特公昭52-27032号公報記載の構成が提案されている。主接合と電界制限リング領域間を高い抵抗値を持つ導電層で接続し、この導電層に逆阻止電圧に基づく分路電流を流すことで、ターミネーション領域の表面電位分布を均等化し、半導体表面の安定化を図るものである。この方法によれば、高温直流逆バイアス試験における耐圧低下が防止できる。

【0005】

【発明が解決しようとする課題】上記従来技術の導電層は $10^7 \sim 10^{10} \Omega$ 程度の高い抵抗値が必要であり、通常この高抵抗層としては酸素または窒素をドーピングしたポリシリコン層が用いられるが、抵抗値の制御が極めて難しく、量産に適していない。また、逆阻止時には分路電流を流すことから、逆阻止電流が本質的に大きいという問題と、導電層の抵抗値によってもその電流値が左右される等の不安定要因も抱えている。

【0006】本発明の目的は、簡単な手段により荷電粒子等の外部因子による影響を抑制した、高信頼の高耐圧プレーナ接合を有する半導体装置を提供することにある。

【0007】

【課題を解決するための手段】上記目的を達成する本発明半導体装置の特徴とするところは、半導体基体の一方の主表面に露出する主接合とそれを取り囲む複数の電界制限リング領域を有し、該主接合とこれに最も隣接する電界制限リング領域との間に逆阻止電圧の低下を抑制する手段を具備した点にある。逆阻止電圧の低下を抑制する手段としては、①主接合とこれに最も近接する電界制限リング領域との間の間隔を電界制限リング領域相互の間隔より小さくすること、②主接合とこれに最も近接する電界制限リング領域との間に絶縁膜を介して電気的に浮動状態の導電性膜を設けること、③主接合とこれに最も近接する電界制限リング領域との間の半導体基体の表面に、基体と同導電型でそれより高不純物濃度を有する領域を設けること、④主接合とこれに最も近接する

電界制限リング領域との間の間隔が半導体基体の表面よりも内部において小さくなるようにすること、⑤主接合とこれに最も近接する電界制限リング領域との間の半導体基体表面を絶縁膜を介して導電性膜で覆い、この導電性膜を主接合に最も近接する電界制限リング領域に電気的に接続すること及びこれ等と同等の手段が考えられる。

【0008】

【作用】本発明は主接合とこれに最も隣接する電界制限リング領域との間に逆阻止電圧の低下を抑制する手段を設けることにより上記目的を達成するものである。これを詳細に説明する。

【0009】本発明者等は、プレーナ接合を有する半導体装置の耐圧低下の原因を調べるために、種々の実験を行い、その詳細なメカニズムを明らかにした。図5は実験のために製作したpnダイオードの全体平面図及びターミネーション領域のA-A断面図である。10は一对の主表面11、12を有する半導体基体で、一方の主表面11に隣接する高濃度のn+カソード層101、n+層101及び他方の主表面12に隣接しn+層101より高い抵抗率のn-層100、他方の主表面12からn-層100に延び、n-層100との間に他方の主表面12に終端するプレーナ型的主接合を形成するn-層100より高濃度のp型アノード層102、他方の主表面12からn-層100に延び、p型アノード層102をそれから離れて取り囲み、n-層100より高濃度を有する複数のp型の電界制限リング領域1031~1035、他方の主表面12の周辺において他方の主表面12からn-層100内に延びn-層100より高濃度のn型のガードリング領域104を具備している。13はn+カソード層101にオーミック接触したカソード電極、14はp型アノード層102にオーミック接触しフィールドプレートの機能を有するアノード電極、15は半導体基体10の他方の主表面12側を被覆する下層がシリコン酸化膜(SiO_2)で上層が燐ガラス(PSG)からなる絶縁膜、161~165は電界制限リング領域1031~1035に接触したフィールドプレート、17はガードリング領域104に接触したフィールドプレート、19はアノード電極14、絶縁膜15及びフィールドプレート16、17の露出部上を被覆するPSG膜、20はPSG膜19上を被覆するポリイミド膜である。主接合から各電界制限リング領域までの間隔は、絶縁膜15の下面に生ずる電界がほぼ均等になるように設定されている。

【0010】ここで電界制限リング領域1031の左端からガードリング領域104の左端までの距離dを一定とし、主接合の右端と電界制限リング領域1031の左端までの間隔xを種々変えたダイオードを作製し、これをシリコンゲルで封止したセラミックパッケージに組込んで、その逆阻止耐圧を高温DC逆バイアス試験の前

後で測定した。図6にその結果を示す。A線は高温DC逆バイアス試験前のダイオードの初期耐圧で、間隔xが大きいと主接合の右端の表面近傍の電界が強まり、ここでアバランシェ降伏するため耐圧は低下し、間隔xが小さすぎると電界制限リング領域1031よりも外側に位置する電界制限リング領域1032~1035の電圧分担が大きくなるので、電界制限リング領域1031~1035のいずれかの右端で電界集中が起こり耐圧が低下する。即ち、耐圧が最も高くなる最適な間隔xが存在する。一方、B線は高温DC逆バイアス試験(125℃、初期耐圧ピーク値の80%の逆バイアスを印加、1000時間)後の耐圧測定結果である。間隔xが小さい程耐圧が高くなり、初期耐圧曲線と交差する領域がある。通常は初期耐圧が最も高くなる点で設計されるので、DC逆バイアス試験後には耐圧が低下するが、間隔xが小さい領域においてはDC逆バイアス試験後の耐圧が初期耐圧と比較して変化しないか、或いは大きくなるポイントが存在するという極めて興味深い事実が明らかになった。この原因を詳しく調べた結果、高温DC逆バイアス試験後で耐圧低下する現象は図7に示すメカニズムによることを突き止めた。そのメカニズムは以下の通りである。

【0011】試験前では、図7(a)に示すように各電界制限リング領域端に発生するピーク電界は(電界の偏りが生じないように各領域相互の間隔を設定するため)比較的均等に分散しているが、逆バイアス試験中にシリコンゲル中の可動イオンが絶縁膜表面のポテンシャルによって移動し分極を起こす。+イオンは最もポテンシャルの低い主接合端に移動し、このチャージによって主接合と電界制限リング領域1031間のn-層100表面に蓄積層21が形成される。このため空乏層が広がり難くなり(実効的に主接合と電界制限リング領域1031の間隔xが広くなったと等価)、主接合端に電界が集中し、耐圧低下を引き起こす(図7(b))。一方、間隔xが初期耐圧に対する最適点よりも小さい場合には、初期の主接合端における電界は十分に弱いので分極による+イオンの影響でこの部分の電界が強まると釣り合っており、電界集中が緩和される。この結果、試験後の耐圧が変動しない、或いは大きくなることが分かった。なおガードリング領域104端には-イオンが集まり、この影響でガードリング領域104端近傍のn-層100表面にはp反転層22が形成されると考えられるが、これはガードリング領域104近傍の空乏層を広げ易くするもので耐圧変動には殆ど影響を及ぼさない。

【0012】本発明は以上の実験事実から発明されたものである。耐圧変動は主接合端に集まるシリコンゲル中の可動イオンが原因であるが、シリコンゲル等のレジン中の可動イオンを完全に除去することは不可能であるから、信頼性の高い半導体装置を得るにはこれらの影響を小さくするか、或いは影響を受けないようにするこ

とが必要であり、本発明の主旨はここにある。以上の結果より、高温DC逆バイアス試験における耐圧変動は主接合とこれに最も近い電界制限リング領域の間だけで決定される。従って、本発明は、主接合とこれに最も近い電界制限リング領域の間に耐圧低下を抑制する手段を具備したものである。図6に示したように、主接合とこれに最も近い電界制限リング領域との間隔を高温DC逆バイアス試験後の耐圧が初期耐圧と変わらない距離まで近付けることが一つの有効な手段である。この方法によれば極めて簡単な手段で高信頼のプレーナ半導体装置が実現できる。

【0013】なお主接合とこれに最も近い電界制限リング領域との間以外の電界制限リング領域相互間の間隔を狭めることは、電界の偏りを生じさせることになり、好ましくない。電界の偏りがなく電界制限リング領域相互間の間隔を狭めるには、すべての電界制限リング領域相互間の間隔を一律に狭めて、かつ電界制限リング領域の数を増やさねばならない。これは結果的にターミネーション領域の面積を増大することになり、チップ面積の増大及び製造歩留まりの低下を引き起こす。従って、電界制限リング領域相互間の間隔を狭めるのは主接合とこれに最も近い電界制限リング領域との間だけであることが望ましい。

【0014】

【実施例】以下、本発明を実施例として示した図面を用いて詳細に説明する。

【0015】図1は本発明の一実施例におけるpnダイオードのターミネーション領域を示す断面図である。図において、10は一对の主表面11、12を有する半導体基体で、一方の主表面11に隣接する高濃度のn+カソード層101、n+層101及び他方の主表面12に隣接しn+層101より高い抵抗率のn-層100、他方の主表面12からn-層100に延び、n-層100との間に他方の主表面12に終端するプレーナ型の主接合を形成するn-層100より高濃度のp型アノード層102、他方の主表面12からn-層100に延び、pアノード層102をそれから離れて取り囲み、n-層100より高濃度を有する複数個のp型の電界制限リング領域1031~1035、他方の主表面12の周辺において他方の主表面12からn-層100内に延びn-層100より高濃度のn型のガードリング領域104を具備している。13は半導体基体10の一方の主表面11においてn+カソード層101にオーミック接触したカソード電極、14は半導体基体10の他方の主表面12においてpアノード層102にオーミック接触したA1・Siからなるアノード電極、15は半導体基体10の他方の主表面12上のアノード電極14が形成されていない箇所を被覆する下層がシリコン酸化膜(SiO₂)で上層がりんガラス(PSG)からなる絶縁膜、162~165はpアノード層102に最も近いものを除く電界制限リ

ング領域1032~1035に接触し端部が絶縁膜15上をそれぞれの電界制限リング領域とn-層100との境界を越えて延びるAl・Siからなるフィールドプレート、17はガードリング領域104に接触し端部が絶縁膜15上をガードリング領域104とn-層100との境界を越えて延びるAl・Siからなるフィールドプレート、18はpアノード層102からそれに最も近い電界制限リング領域1031に達する絶縁膜15上に設けた電氣的にフローティングなAl・Siからなる導電層、19はアノード電極14、絶縁膜15、フィールドプレート162~165、17及び導電層18の露出部上を被覆するPSG膜、20はPSG膜19上を被覆するポリイミド膜である。

【0016】このように構成したpnダイオードにおいて、アノード電極14とカソード電極13との間に主接合を逆バイアスするような極性（カソード電極13側がアノード電極14より高電位）を印加した場合、導電層18の電位は主接合とそれに最も近い電界制限リング領域1031の中間電位に固定されてシールド効果の役割を果たすので、可動イオン等外部因子の影響を全く受ける。従って、レジン封止した高温DC逆バイアス試験前後での耐圧変動は全く生じなく、極めて信頼性の高い高耐圧のプレーナ型ダイオードが実現できる。電氣的にフローティング状態の導電層18は、フィールドプレート162~165と共通化した工程及び材料（Al・Si）で形成しても、半導体製造技術に一般的に用いられる多結晶シリコンで形成してもよいので、極めて簡単な手段で実現できる効果があり量産性に適している。

【0017】なお、導電層18は上述のように主接合とそれに最も近い電界制限リング領域1031の間だけに設けるのが好ましい。導電層18はその直下のn-層100表面よりも部分的に高い電位になるため、その電位差によって新たな問題が生ずる場合がある。その電位差が小さい場合には何の問題も引き起こさないが、電位差が大きい場合にはn-層100表面で生じたホットキャリアが導電層18の電界に引き寄せられ、絶縁膜15中に飛び込む。この結果絶縁膜15に経時劣化をもたらす逆阻止耐圧の変動を生じる。この新たな問題は主接合とそれに最も近い電界制限リング領域1031の間にのみ導電層18を設けた場合には、上述の電位差が小さいので殆ど支障をきたさないが、電界制限リング領域相互間にも設けた場合には問題となる。従って、導電層18は上述の個所に形成するのが好ましい。

【0018】この実施例はダイオードを発明の適用対象として挙げて説明したが、ダイオード以外の半導体装置に適用できることは言うまでもない。ダイオード以外の半導体装置に適用するときは、ターミネーション領域はそのまま主接合を形成している領域を変更するのみでよい。例えば、バイポーラトランジスタのときはpアノード層102内にnエミッタ層を形成し、アノード電極

14をベース電極にカソード電極をコレクタ電極にそれぞれ変更し、nエミッタ層にエミッタ電極を設ければよい。サイリスタのときはpアノード層102内にnエミッタ層を形成し、n+カソード層をp+層に変更し、アノード電極14をゲート電極にカソード電極をアノード電極にそれぞれ変更し、nエミッタ層にカソード電極を設ければよい。MOSFETのときはpアノード層102内にnソース層を形成し、nソース層にソース電極を設け、n-層100からnソース層に達する絶縁ゲートを設け、カソード電極をドレイン電極に変更すればよい。また、IGBTのときはMOSFETにおいてn+カソード層とドレイン電極との間にp+層を介在させればよい。

【0019】図2は本発明の他の実施例を示すターミネーション領域の断面図である。図1の実施例と相違するところは、導電層18の代わりに、主接合に最も近い電界制限リング領域1031にも他の電界制限リング領域と同様にフィールドプレート161を形成すると共に主接合とそれに最も近い電界制限リング領域1031との間のn-層100表面にn-層100より高濃度のn層105を設けた点にある。このような構成によれば、n-層100の可動イオンの影響を受けて蓄積層（高濃度n型）が形成される領域に、予めn層105を形成しておくので、可動イオンの影響を実質的に受けなくなる。即ち、主接合から広がる空乏層が予めn層105の表面では伸び難く内部のn-層100では伸び易くすることで、電界制限リング領域1031への電位伝搬が蓄積層の影響を受けないn-層100の内部で起こるようにするものである。従って、n層105の不純物濃度は、高過ぎると初期耐圧が低下し、低過ぎると本発明の効果がなくなる。その濃度は、可動イオンによってn-層100表面に誘起される電子量（蓄積層の電子量）と同等ないし1桁程度高くしておくのが望ましい。実験から蓄積層の電子量は $10^{11}/\text{cm}^2$ 台と見積もられるので、 $10^{12}/\text{cm}^2$ 程度がよい。また、内部で空乏層が伸び易くするにはn層105の深さはできるだけ浅い方が好ましい。更に、n層105はこの実施例のように主接合とそれに最も近い電界制限リング領域1031の間だけに設けるのが好ましい。

【0020】以上のようにn層105は少なくとも主接合とそれに最も近い電界制限リング領域1031との間表面の空乏層の伸びを抑える（電界が強くなる）ように働き、その大きさはn層105の不純物濃度や深さによって変動する。従って、主接合とそれに最も近い電界制限リング領域1031の間以外にもn層105を設けることは、製造工程のバラツキによって初期耐圧が大きく変動する要因となるので好ましくない。

【0021】この実施例によれば極めて簡単な手段で確実に耐圧変動を抑制できるので、量産に適した高信頼度高耐圧のプレーナ型半導体装置が実現できる。

【0022】図3は本発明の更に他の実施例を示すターミネーション領域の断面図である。図1の実施例とは、導電層18の代わりに、主接合に最も近い電界制限リング領域1031にフィールドプレート161を設け、それを絶縁膜15を介してpアノード層102上まで延ばした点で相違している。この構成によれば、主接合が逆バイアス状態の時にフィールドプレート161は主接合よりも高い電界制限リング領域1031の電位に固定される。このためフィールドプレート161直下のn-層100表面には電子が誘起されて蓄積層が形成される。従って、予めn層105を設けておく図2の実施例と同じ効果が得られ、空乏層はn-層100の表面よりも内部で広がり易くなるものである。

【0023】この実施例におけるフィールドプレート161は、主接合202とそれに最も近い電界制限リング領域1031の間だけに設けるのが好ましい。上述のようにフィールドプレート161はその直下のn-層100表面よりも高い電位になるため、その電位差によって新たな問題が生ずる場合がある。電位差が小さい場合には何の問題も引き起こさないが、電位差が大きい場合にはn-層100表面で生じたホットキャリアがフィールドプレート161の電界に引き寄せられ、絶縁膜15中に飛び込む。この結果、絶縁膜15に経時劣化をもたらす逆阻止耐圧の変動を生じる。この新たな問題は、主接合とそれに最も近い電界制限リング領域1031の間だけにフィールドプレート161を設けた場合には、電位差が小さいので殆ど支障をきたさないが、電界制限リング領域相互間にも設けた場合には問題となる。従って、フィールドプレート161は上述のように主接合とそれに最も近い電界制限リング領域1031の間だけに設けるのが好ましく、電位差を小さくするために主接合と電界制限リング領域1031の間隔はできるだけ狭い方がよい。

【0024】図4は本発明の異なる実施例を示すターミネーション領域の断面図である。図1の実施例と相違するところは、導電層18の代わりに、pアノード層102及び主接合に最も近い電界制限リング領域1031にフィールドプレート160及び161を形成すると共に電界制限リング領域1031をその底部において主接合側に突出した部分1031aを設けた点で相違している。この構成によれば、可動イオンの影響を受けて蓄積層（高濃度n型）が形成される領域の下部に、突出した部分1031aが形成されているので、可動イオンの影響を実質受けなくなるように作用する。即ち、主接合が逆バイアス状態のとき主接合から広がる空乏層はn-層100の表面状態に左右されずに内部に設けられた突出した部分1031aに容易に到達するので、電界制限リング領域1031への電位伝搬が可動イオンによりn-層100の表面に形成される蓄積層の影響を無視できる程に小さくできる。本発明によれば簡単な手段で確実に

耐圧変動を抑制できるので、量産に適した高信頼で高耐圧のプレーナ型半導体装置が実現できる。なお本実施例は空乏層がn-層100の表面よりもその内部で広がりやすくするものであるから、図2及び図3に示した実施例と原理は同じである。従って、これらの手段を組み合わせる用いても本発明の効果を奏することができる。

【0025】図8は、本発明を絶縁ゲート型バイポーラトランジスタ（IGBT）に適用した場合を示す断面図である。この構成は図1で述べたように、図1のpアノード層102内にnソース層106を形成し、nソース層106にソース電極23を設け、n-層100からnソース層に達する絶縁ゲート24を設け、カソード電極をコレクタ電極25に変更し、n+カソード層101とコレクタ電極25との間にp+層107を介在させた構成となっている。絶縁ゲート24はSiO₂からなるゲート酸化膜241、磷を高濃度にドーブした多結晶シリコンからなるゲート電極242及びゲート電極242をカバーするように設けたPSGからなる絶縁膜243から構成されている。ソース電極23はnソース層106だけでなくpアノード層102にも接触している。この構成において、ソース電極23とコレクタ電極25間に主接合を逆バイアスする電圧が印加された場合、導電層18の電位は主接合と電界制限リング領域1031の中間電位に固定されてシールド効果の役割を果たすので、可動イオン等外部因子の影響を全く受けなくなる。

【0026】図9は、図8に示すIGBTをレジジン封止したパッケージに組み込み、高温DC逆バイアス試験を実施した結果を導電層18を設けない従来技術と比較して示したものである。従来技術では試験時間が数十時間で耐圧が大きく低下したが、本発明では1000時間後も耐圧変動が全く生じなく、極めて信頼性の高い高耐圧のIGBTが実現できた。

【0027】以上説明したように、本発明によればプレーナ接合を持つ半導体装置の高耐圧化が容易に実現できるので、電力変換装置の高信頼、大容量化が達成できる。

【0028】図10は本発明を適用したIGBT及びダイオードを用いて電動機駆動用インバータ装置を構成した一例を示したものである。6個のIGBTで電圧型インバータ回路を構成し三相誘導電動機30を制御する例で、その基本回路はIGBT31、フライホイールダイオード32、スナバダイオード33、スナバ抵抗34、スナバコンデンサ35から構成されている。IGBTはそもそもスイッチング速度の大きい素子であり、これに本発明を適用することにより逆阻止耐圧が高くされたIGBT及びダイオードは長期に渡り使用しても耐圧の低下がないので、インバータ装置の大容量化、高周波化が高信頼で達成できる。このため、インバータ装置の小型、軽量、低損失化及び低雑音化等に効果があり、インバータ装置を用いたシステムの低コスト、高効率化が達

【0029】

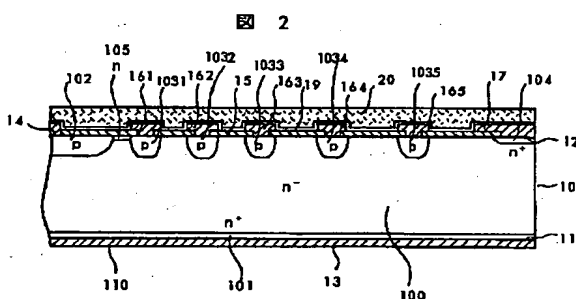
【図面の簡単な説明】

【図 2】本発明の他の実施例を示す概略断面図である。

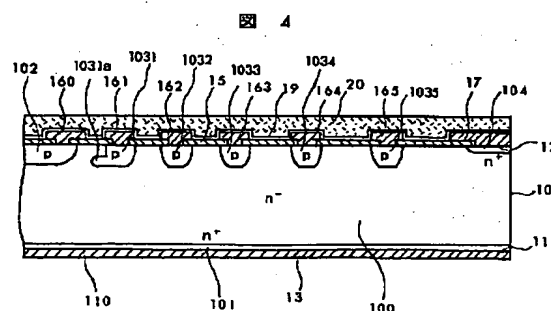
【図 4】本発明の異なる実施例を示す概略断面図である。

【図6】主接合とそれに最も近い電界制限リング領域と間隔をパラメータとして作製したpnダイオードの高温DC逆バイアス試験前後での逆阻止耐圧の評価結果を示

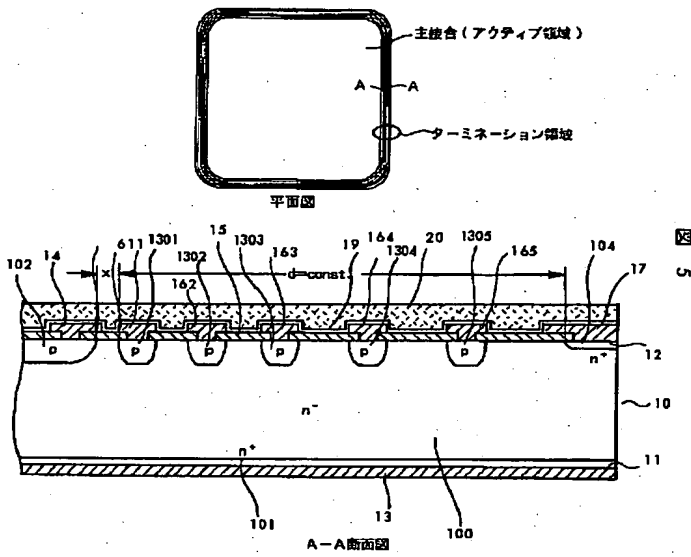
【图2】



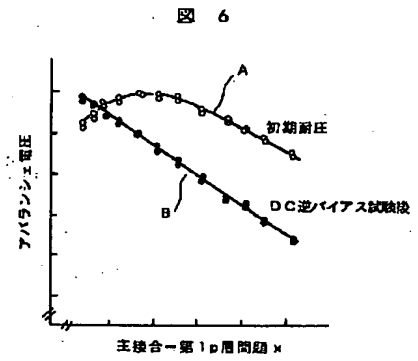
【図4】



【図5】

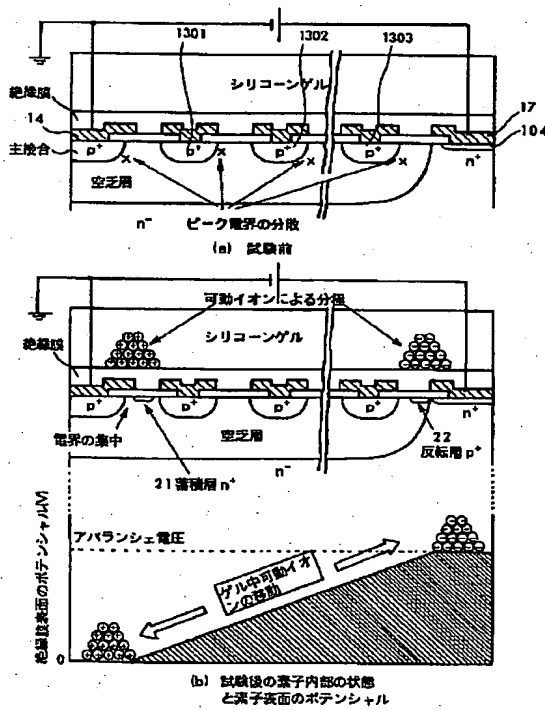


【図6】



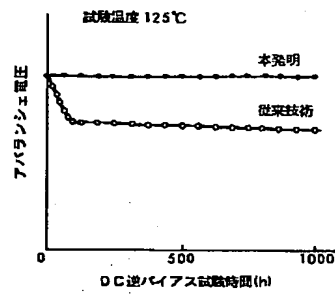
【図7】

図 7



【図9】

図 9



【図 10】:

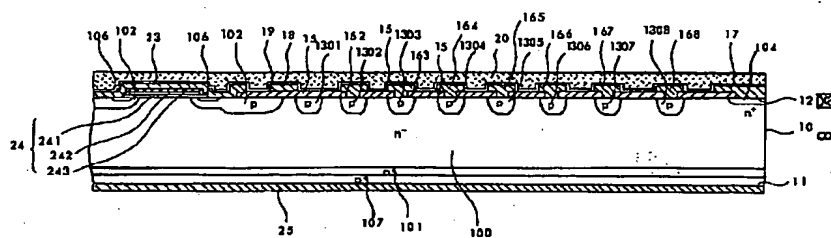
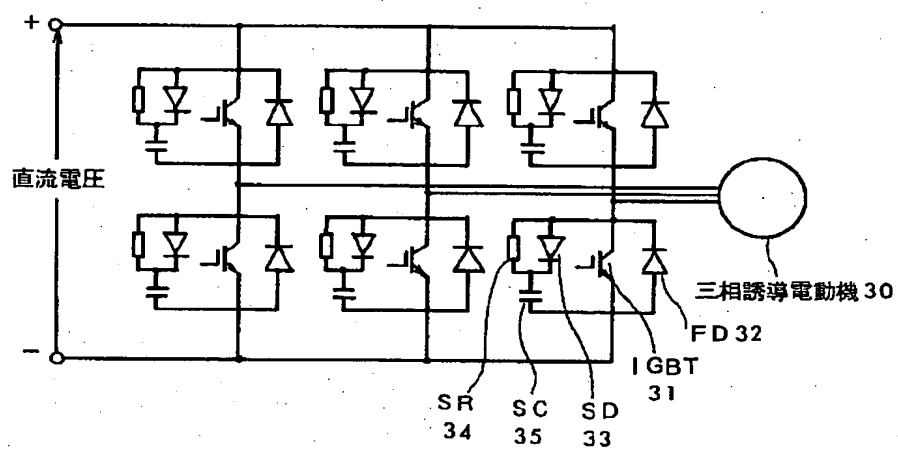


图 10



(72)発明者 中野 安紀

茨城県日立市久慈町4026番地 株式会社日立製作所日立研究所内